

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002062493
PUBLICATION DATE : 28-02-02

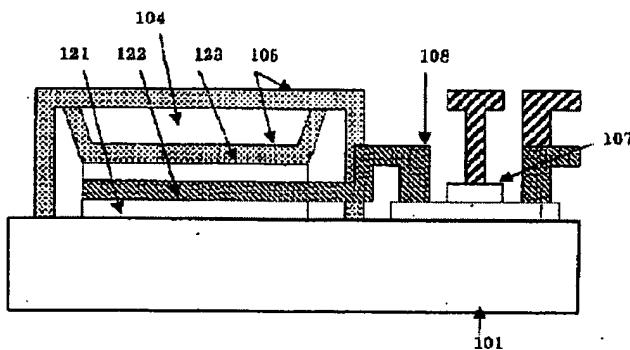
APPLICATION DATE : 21-08-00
APPLICATION NUMBER : 2000249816

APPLICANT : CANON INC;

INVENTOR : KONDO SHIGEKI;

INT.CL. : G02B 26/08 G09F 9/00 G09F 9/30

TITLE : DISPLAY DEVICE USING
INTERFEROMETRIC MODULATION
DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To improve the color reproducibility of a display device which uses an interferometric modulation(IMOD) device and to reduce its power consumption.

SOLUTION: When a TFT 107 is in a selected (ON) state, a video signal is sent to a light absorbing film 122 through a TFT electrode 108 and a reflecting electrode is moved by the electrostatic force between its signal level and the potential of the reflecting element 105 to make a light display (solid line 105 in Fig. 1) and a dark display (dotted line 105 in Fig. 1). The difference from a conventional IMOD device is that the potential of the reflecting electrode which is deformed by the electrostatic force is a potential Vcom 203 common to a plurality of pixels. Consequently, change in the display color is suppressed. As compared with a conventional simple matrix, the number of lead-out electrodes decreases greatly and the mount cost can be greatly reduced. Further, the capacity of the whole element decreases for the same reason.

COPYRIGHT: (C)2002,JPO

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-62493

(P2002-62493A)

(43)公開日 平成14年2月28日(2002.2.28)

(51)Int.Cl.⁷
G 0 2 B 26/08
G 0 9 F 9/00
9/30
3 1 3
3 3 8
3 7 6

F I
C 0 2 B 26/08
C 0 9 F 9/00
9/30
3 1 3
3 3 8
3 7 6

テ-マコ-ト^{*}(参考)
J 2 H 0 4 1
3 1 3
3 3 8
3 7 6

審査請求 未請求 請求項の数5 OL (全5頁)

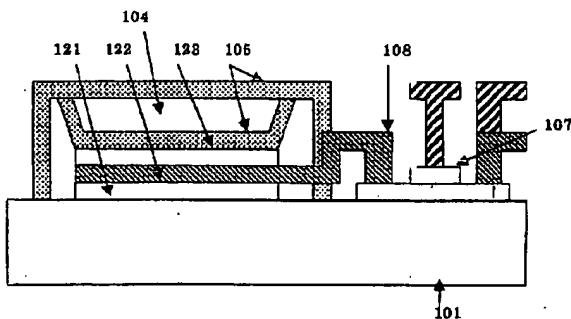
(21)出願番号 特願2000-249816(P2000-249816)
(22)出願日 平成12年8月21日(2000.8.21)

(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 近藤 茂樹
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 100065385
弁理士 山下 穂平
Fターム(参考) 2H04I AA13 AB14 AB38 AC06 AZ05
5C094 AA08 AA09 AA22 BA03 BA12
BA41 CA19 CA24 EA04 EB02
FB12 FB15
5G435 AA16 EE34 FF15

(54)【発明の名称】干渉性変調素子を用いる表示素子

(57)【要約】

【課題】干渉性変調(I MOD)素子を使用する表示素子の色再現性を向上させ、消費電力を低減する。
【解決手段】TFT 107が選択(導通)状態のとき、映像信号がTFT電極108を通して光吸収膜122に送られ、その信号レベルと反射電極105電位間での静電力により、反射電極が可動し、明(図1実線105)または暗(図1点線105)状態表示を行う。従来のIMOD素子との違いは、静電力により変形する反射電極の電位を複数の画素で共通の電位Vcom203としている点である。これによって、表示色の変動が抑制される。又、従来の単純マトリクスに比べ、電極の取り出し数が激減し実装コストの大幅な削減が可能となる。また、同様の理由により、素子全体の容積が減少する。



【特許請求の範囲】

【請求項1】 絶縁層／導体層／絶縁層の少なくとも3層をこの順に透明基板上に積層した光入射部と、可動反射膜とを、空気層を介して対峙させ、前記導体層と前記反射膜に電圧を印加して前記可動反射膜を変形させる干渉性変調素子と、

マトリクス状に配置された複数の走査線及び複数の信号線と、

前記複数の走査線及び複数の信号線のそれぞれの交点に配置されたアクティブ素子とを備え、

前記干渉性変調素子の前記導体層を前記アクティブ素子の各々に接続し、

前記アクティブ素子によって、前記干渉性変調素子を駆動することを特徴とする表示素子。

【請求項2】 前記アクティブ素子は、薄膜トランジスタであることを特徴とする請求項1記載の表示素子。

【請求項3】 前記薄膜トランジスタのソース又はドレン電極の一方が、前記導体層と電気的に接続していることを特徴とする請求項1、2のいずれか一つに記載された表示素子。

【請求項4】 前記薄膜トランジスタのソース又はドレン電極の少なくとも一部の材料は、前記導体層と同じ材料であることを特徴とする請求項2、3のいずれか一つに記載された表示素子。

【請求項5】 前記反射膜の電位を共通化することを特徴とする請求項1記載の表示素子。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、絶縁層／導体層／絶縁層の少なくとも3層をこの順に透明基板上に積層した光入射部と、可動反射膜とを、空気層を介して対峙させ、前記導体層と前記反射膜に電圧を印加して前記可動反射膜を変形させる干渉性変調(I MOD)素子を使用する表示素子に関する。

【0002】

【従来の技術】干渉を利用する光学変調器の代表的な例を以下に説明する。

【0003】T. Hatsuza等はInterferometric display devices (Transducers '99, 1999, p804-807)を開示している。これは、電圧を印加することで、ハーフミラーが基板側に移動し、基板側からの反射光がハーフミラーからの反射光と干渉し、これより反射光の明るさを変調するものである。

【0004】他の例として、M. W. Milesより、ファブリ・ペロー干渉計の原理を応用した表示装置が提案されている(SID '00 Digest, 2000, p32-34)。これは、可動ミラーとinduced absorberを有する干渉型共振器との間での多重光束干渉により入射する多色光(自然

光)の特定波長領域の光のみを反射しカラー表示を可能とするものである。

【0005】また、3色の光源を用いて、干渉の原理を利用した反射型表示装置(United States Patent No. 4,403,248)が開示されている。

【0006】また、ファブリ・ペロー干渉を用い紫外線光源からの光を光変調し光変調器から射出される光を、光変調器に対向配置した蛍光体照射する表示装置(特開平11-258558号公報)が開示されている。

【0007】上述の光変調器では、液晶表示装置とは異なり偏光板が不要であり、光源から光変調器に入射する光の利用効率を飛躍的に上げることが期待できる。データプロジェクタや映画用表示装置では画面サイズが大きく、高輝度化の要望が特に大きい。投影型表示装置への応用が期待される。

【0008】

【発明が解決しようとする課題】しかし、IMOD素子を使用する表示素子は、単純マトリクス駆動であった。一般に、単純マトリクス駆動で問題となるクロストークが、IMOD素子についても問題となる。

【0009】図4に示すように、IMODデバイスは、基本的に、ヒステリシス特性をもつ光学的には2値の表示デバイスである。表示動作点は、暗状態(高電圧印加)と明状態(低電圧印加)の2点である。

【0010】図5は、このような表示デバイスを単純マトリクス駆動するためのタイミングチャートである。図中に例示した電圧値は選択線、信号線に印加される電圧であり、クロストーク電位は、3.75V±0.75Vとしてある。

【0011】単純マトリクス駆動では、画素の選択期間では、上述の表示動作点に電圧が固定される。しかしながら、非選択期間では、他の選択線を駆動している関係上、選択されていない画素に対しても、信号線の信号がクロストーク電圧として印加されることになる。

【0012】このクロストーク電圧が実際の表示特性にどの程度影響するかを見積もってみる。

【0013】暗表示電圧5.25V、明表示電圧2.25Vとすると、信号線電圧振幅±0.75V程度のクロストーク電圧が非選択期間に各画素に印加される。この電圧変動によるIMOD素子のAIRギャップの変動量は、もともとが明状態表示の場合、およそ+4%、-8%の変動量になる。

【0014】IMOD素子の場合、AIRギャップの変動は、色の変化となって現れる。たとえば、青(B)を表示しようとした場合、AIRギャップは、ほぼ325nmに設定されるが、これが、クロストークの影響で、340nm~300nmの振れを生じるようになる。この結果、その画素は、純粋なB表示ができなくなる。具体的には、長ギャップでは、緑(G)がかかった色にな

り、狭ギャップでは、赤(R)味がかる。

【0015】このようなクロストークによるギャップ変動の影響は、明状態表示で起こる。これは、IMODの動作原理が、2枚の電極間の静電力と反射膜すなわち反射電極の弾性力によって動作するためである。静電力は、2枚の電極間距離をL、電圧をVとすると、 $F = (1/2) \times \epsilon \times A \times (V^2/L^2)$

ここで、 ϵ は誘電率、Aは電極面積である。

【0016】一方、反射電極の弾性力は、単純な1次元モデルを仮定すると、弾性率kに比例する。

【0017】これら静電力と弾性力の両者がつりあつたところで、ギャップが決まる。この結果、明状態では、実際のヒステリシス曲線は、第4図中点線で示したようになだらかな変化を示すようになる。

【0018】暗状態においては、反射電極が、光入射部の積層膜に接触しているため、クロストークにより画素電圧が振られ静電力が多少変化しても、接触は保たれ、ギャップ自体は変化しない。

【0019】しかしながら、暗状態でのクロストークの影響は、パネルの消費電力に現れる。

【0020】IMOD素子は、等価回路的には、容量とみなせる。明状態では、AIRギャップによる容量と光入射部の積層膜すなわち干渉膜による容量の直列容量とみなすことができ、その容量値は小さい。一方、暗状態では、反射電極が干渉膜に接触しているため、IMOD素子の等価容量は干渉膜の容量のみとなり、容量は非常に大きくなる。

【0021】暗状態でのクロストークの存在は、干渉膜容量の充放電電流となり、これは、非選択期間、すなわち、ほぼ、フィールド期間消費されることになる。たとえば、表示対角2インチでQuarter Video Graphics Arrays (QVGA) (320×320×240) の解像度を想定した場合、選択期間に消費される電力は、約3mWと非常に小さいのに対して、非選択期間のクロストークによる消費電力は、約20mWにもなり、全体としての消費電力は、クロストークがない場合に比べ、非常に大きくなる。

【0022】そこで、本発明は、IMOD素子を使用する表示素子の色再現性を向上させ、消費電力を低減することを課題としている。

【0023】

【課題を解決するための手段】上記課題を解決するための本発明は、絶縁層／導体層／絶縁層の少なくとも3層をこの順に透明基板上に積層した光入射部と、可動反射膜とを、空気層を介して対峙させ、前記導体層と前記反射膜に電圧を印加して前記可動反射膜を変形させる干渉性変調(IMOD)素子と、マトリクス状に配置された複数の走査線及び複数の信号線と、前記複数の走査線及び複数の信号線のそれぞれの交点に配置されたアクティブ素子とを備え、前記IMOD素子の前記導体層を前記

アクティブ素子に接続し、前記アクティブ素子によつて、前記IMOD素子を駆動するようにしている。

【0024】アクティブマトリクス素子を設けた表示素子には、たとえば、液晶表示素子があり、TN液晶を用いて、フラットパネルディスプレイとして、あるいは、プロジェクションテレビとして商品化されている。薄膜トランジスタ(TFT)やダイオード素子、および、MIM(メタル・インシュレータ・メタル)素子などに代表される上記アクティブマトリクス素子は、そのスイッチング特性により、比較的応答の遅い上記TN液晶に対し実質ライン選択周期より長い間電圧印加状態を保持することにより液晶の光学スイッチ応答を助け、また、上記TN液晶などのようにメモリ性(自己保持性)がない液晶に対して、上記電圧印加状態保持により1フレーム間の実質的メモリ状態をもたらすものである。あるいは、各ライン間、画素間に對して原理的にはクロストークを与える、良好な表示特性を与える特徴がある。

【0025】本発明は、このような従来は液晶表示装置に用いられてきたアクティブマトリクス駆動をIMOD素子に適用することにより、より高性能な表示素子を提供する。

【0026】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0027】図1は、本発明の表示素子の1画素分の断面図である。図1において、101はガラス基板、104はAIRギャップ、105は反射電極、107は薄膜トランジスタ(TFT)である。

【0028】干渉膜は、ある一定の干渉条件を満たす絶縁膜121、123と、光吸収用導体膜122のサンドイッチ構造である。具体的には、121は酸化ジルコニウム膜54.46nm(ZrO膜)、123は酸化シリコン膜50.00nm(SiO膜)、122はタンゲステン(W)14.49nmを用いることができる。干渉膜は、4層以上の多層膜であってもよい。

【0029】TFT107は、通常のポリシリコンTFTである。IMOD素子は基本的に2値表示素子であるため、階調表現のためには、画素分割による面積譜調や、時間的に発光期間を制御するパルス幅変調(PWM)による時分割譜調が用いられる。特に、時分割階調には、解像度と階調数にもよるが、高速の駆動回路が要求される。そのため、本実施形態では、高速駆動が可能なポリシリコンTFTを用いた。面積譜調や、低解像度の表示素子においては、アモルファスシリコンTFTも用いることが可能である。

【0030】本実施形態においては、TFTのソースあるいはドレイン電極材料108を光吸収膜として用いているタンゲステン122と同時に形成している。これにより特別な工程を増やすことなくTFTとIMOD素子とのマッチングが可能となる。タンゲステンだけでTFT

T回路の配線を形成しても良いが、より高速駆動を実現するため、本実施形態では、さらに、タングステン(W)より1桁以上抵抗の低いアルミニウム(A1)を積層してTFT配線材料として使用している。

【0031】このような構成のIMOD素子において、TFT107が選択(導通)状態のとき、映像信号がTFT電極108を通して光吸収膜122に送られ、その信号レベルと反射電極105電位間での静電力により、反射電極が可動し、明(図1実線105)または暗(図1点線105)状態表示を行う。

【0032】図2は、本発明の表示素子の等価回路図である。

【0033】従来のIMOD素子との違いは、静電力により変形する反射電極の電位を複数の画素で共通の電位Vcom203としている点である。従来の単純マトリクスに比べ、電極の取り出しが激減し実装コストの大幅な削減が可能となる。また、同様の理由により、素子全体の容積が減少する。

【0034】図3は、本発明の表示素子の駆動タイミングチャートである。(a)～(c)は、図2の走査線201を選択する走査線選択パルスである。又、(d)は、図2の信号202の信号パルスでありPWM波形である。又、(e)は、図2の共通電極信号Vcom203である。

【0035】ある走査線が選択されている期間に、それに接続されている各画素にDigital信号(ed)をTFTを介して転送する。そのとき、共通信号線の電位は、一定としている。これは、先に説明したように、TFTによるアクティブマトリクス駆動においては、非選択期間においても信号電圧が基本的に保持され、また、クロストークもないため、共通電極電位を変動させる必要がないためである。

【0036】本実施形態では、TFTを用いたが、クロストークの防止のためには、これに限ったものではない。たとえば、MIM(Metal-Insulator-Metal)素子をアクティブ素子として用いてもよい。又、MIM素子の場合は、一方のメタル電極を光吸収金属と共通化もしくは電気的に接続すればよい。

【0037】

【発明の効果】以上説明した本発明によれば、IMOD素子とTFTのようなアクティブ素子との組合せによって、クロストークがなく、結果として、色再現性の良い、消費電力の少ないIMOD表示素子を提供することが可能となった。

【図面の簡単な説明】

【図1】本発明の表示素子の1画素分の断面図

【図2】本発明の表示素子の等価回路

【図3】本発明の表示素子の駆動タイミングチャート

【図4】干渉性変調(Interferometric Modulation: IMOD)素子の特性図

【図5】IMOD素子のクロストークを説明するためのタイミングチャート

【符号の説明】

101 透明基板

104 空気層

107 TFT

108 TFTのソース又はドレイン

105 反射膜

121 絶縁膜

122 導体膜

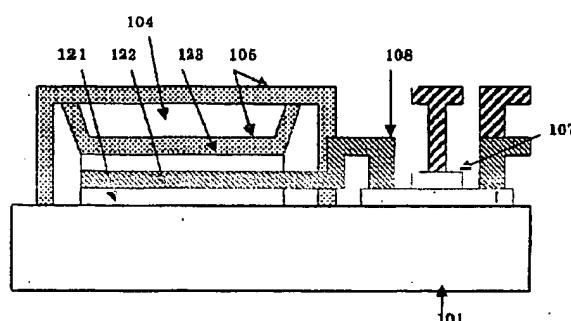
123 絶縁膜

201 行配線

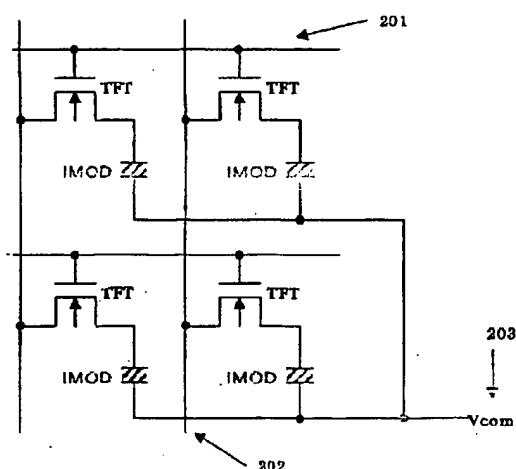
202 画像信号線

203 共通電極線

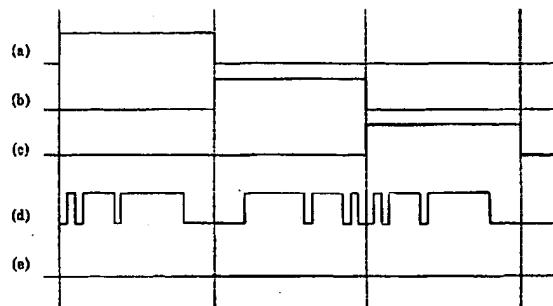
【図1】



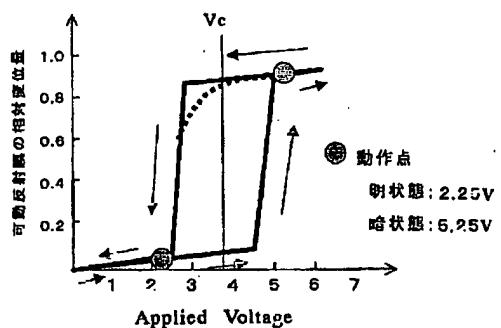
【図2】



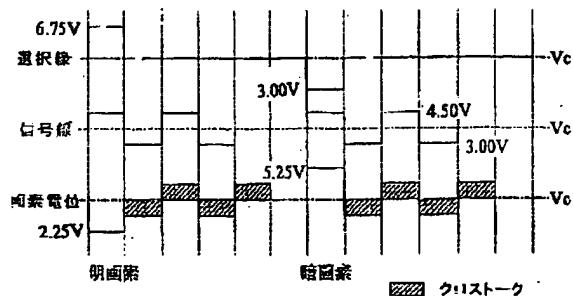
【図3】



【図4】



【図5】



© WPI / DERWENT

AN - 2003-179087 [18]

TI - Silicon film etching method for silicon substrate, involves determining starting time of etching naturally oxidized film, during pressure rise in etching chamber

AB - JP2003001598 NOVELTY - The silicon film on the substrate is etched by subsequently introducing xenon fluoride (XeF₂) gas in the etching chamber maintained at a predetermined pressure. The naturally oxidized film is removed from the silicon film, when the pressure increases temporarily during etching. The starting time of etching the silicon film is determined to control etching time.
- USE - For etching silicon substrate, glass substrate and semiconductor integrated circuit.
- ADVANTAGE - The etching starting time of the silicon film can be detected stably, without being dependent on the thickness of the naturally oxidized film.
- DESCRIPTION OF DRAWING(S) - The figure shows the graph representing the relationship between the etching elapsed time and pressure in the etching chamber. (Drawing includes non-English language text).
- (Dwg.7/8)

IW - SILICON FILM ETCH METHOD SILICON SUBSTRATE DETERMINE START TIME ETCH NATURAL OXIDATION FILM PRESSURE RISE ETCH CHAMBER

PN - JP2003001598 A 20030108 DW200318 B81C1/00 008pp

IC - B81C1/00 ;H01L21/3065 ;H01L49/00

MC - L04-C07D
- U11-C07A1 U11-C07C1

DC - L03 Q68 U11

PA - (SONY) SONY CORP

AP - JP20010188034 20010621

PR - JP20010188034 20010621